

Docket No.: 60188-761

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Shigetaka KASUGA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: January 29, 2004	:	Examiner:
	:	
For: SOLID STATE IMAGING DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claim the priority of:

Japanese Patent Application No. JP 2003-021375, filed on January 30, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: January 29, 2004

60188-761
Shigetaka KASUGA
January 29, 2004

McDermott, Will & Emery

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 月 3 0 日

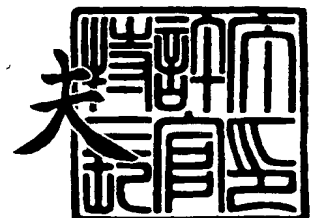
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 2 1 3 7 5
[ST. 10/C]: [J P 2 0 0 3 - 0 2 1 3 7 5]

出 願 人
Applicant(s): 松 下 電 器 産 業 株 式 有 限 公 司

2 0 0 4 年 1 月 2 1 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 4 - 3 0 0 1 4 4 5

【書類名】 特許願

【整理番号】 2925040073

【提出日】 平成15年 1月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/335

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 春日 繁孝

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項1】 回路を構成するトランジスタとしてN型MOSトランジスタのみが用いられた固体撮像装置であって、

光に応答して電荷を発生する光電変換素子と該光電変換素子で発生した電荷と対応する電圧信号をアナログ信号として出力する増幅素子とをそれぞれを有する複数の画素が2次元行列状に並べられてなる画素部と、

前記画素部の各画素行に対して設けられた選択信号線と、

前記画素部の各画素列に対して設けられ且つ前記画素部の中から選択された画素行を構成する各画素における前記増幅素子から出力されたアナログ信号をデジタル信号に変換して記憶する比較記憶部と、

前記比較記憶部に記憶されたデジタル信号を時系列に選択して読み出す走査器と、

前記読み出されたデジタル信号を増幅して外部に出力する増幅器とを備えていることを特徴とする固体撮像装置。

【請求項2】 前記比較記憶部は比較器を有すると共に、該比較器は、N型MOSトランジスタのみが用いられ且つ互いに直列に接続された3個のインバータ回路と、出力信号の電圧減衰を防止し且つ該出力信号を高速化する昇圧回路とを有し、

前記3個のインバータ回路のうち1段目のインバータ回路の立ち下がり速度を大きくするために、前記1段目のインバータ回路におけるGND電位と接続されるトランジスタのON抵抗は、電源電位と接続されるトランジスタのON抵抗よりも小さく設定され、

前記3個のインバータ回路のうち2段目のインバータ回路の立ち上がり速度を大きくするために、前記2段目のインバータ回路における電源電位と接続されるトランジスタのON抵抗は、GND電位と接続されるトランジスタのON抵抗よりも小さく設定され、

前記3個のインバータ回路のうち3段目のインバータ回路の立ち下がり速度を

大きくするために、前記３段目のインバータ回路におけるGND電位と接続されるトランジスタのON抵抗は、電源電位と接続されるトランジスタのON抵抗よりも小さく設定されていることを特徴とする請求項１に記載の固体撮像装置。

【請求項３】 前記比較記憶部は記憶器を有すると共に、該記憶器は、前記比較器からの信号に基づきカウンタ値を読み出す第１のスイッチと、前記読み出されたカウンタ値を保存する容量と、前記容量に保存されたカウンタ値を転送する第２のスイッチと、前記転送されたカウンタ値を削除する第３のスイッチと、前記走査器からの信号に基づき、前記転送されたカウンタ値を読み出す第４のスイッチと、前記読み出されたカウンタ値を外部に出力する前記増幅器とを有し、

前記増幅器は、出力信号の電圧減衰を防止し且つ該出力信号を高速化する昇圧回路を有することを特徴とする請求項２に記載の固体撮像装置。

【請求項４】 前記走査器のうちの水平走査器から出力された列選択信号に基づきパルス信号を生成するパルス生成器と、

前記生成されたパルス信号に基づき前記カウンタ値を生成するカウンタ生成器とをさらに備えていることを特徴とする請求項３に記載の固体撮像装置。

【請求項５】 前記カウンタ生成器は、出力信号の電圧減衰を防止し且つ該出力信号を高速化する昇圧回路を有することを特徴とする請求項４に記載の固体撮像装置。

【請求項６】 前記パルス生成器によって生成されたパルス信号及び前記カウンタ生成器により生成されたカウンタ値のそれぞれに基づきランプ信号を生成するランプ波形生成器をさらに備えていることを特徴とする請求項４に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、回路を構成するトランジスタとしてN型MOSトランジスタのみを用いたNMOS型固体撮像装置に関し、特に、CMOS型固体撮像装置の優れた機能の一つであるデジタル信号出力機能を実現するためにNMOS型固体撮像装置にAD変換器を内蔵させる技術に関する。

【0002】

【従来の技術】

図16は、従来のCMOS型固体撮像装置の内部構成を示すブロック図である。図16に示すように、CMOS型固体撮像装置10は、行列状に並べられた複数の画素11aから構成される画素部11と、画素部11の各画素行と第1の選択信号線11bを介して接続され、画素部11の中から任意の画素行を選択するための行選択信号を出力する垂直走査部12と、画素部11の各画素列と第2の選択信号線11cを介して接続され、行選択信号によって選択された画素行を構成する各画素から出力されるアナログ信号を読み出す水平走査部13とを備えている。また、画素部11と水平走査部13との間には、画素部11の各画素から出力されるアナログ信号からノイズを除去するノイズ除去部14が設けられている。また、CMOS型固体撮像装置10は、水平走査部13によって読み出されたアナログ信号を増幅する増幅アンプ部15と、増幅アンプ部15によって増幅されたアナログ信号をデジタルの画素信号に変換して外部（信号処理装置20）に出力するAD変換器16とさらにを備えている。尚、信号処理装置20からは、CMOS型固体撮像装置10の各構成部分の動作に必要なパルス等が送信される。

【0003】

デジタルの画素信号を出力する利点としては、アナログの画素信号を出力する場合と比べて、固体撮像装置からDSP（Digital Signal Processor）に代表される信号処理装置までのインターフェース部分において、ノイズの影響を受けにくくなること及び信号の劣化が起こりにくくなることが挙げられる。このため、多くのCMOS型固体撮像装置はAD変換器を内蔵している（例えば特許文献1参照）。

【0004】

近年、従来のCCD型固体撮像装置又はCMOS型固体撮像装置とは別に、NMOS型固体撮像装置の開発が始められている。NMOS型固体撮像装置においては、回路を構成するトランジスタとしてN型MOSトランジスタのみが使用されている。すなわち、NMOS型固体撮像装置は、撮像性能を維持しつつ基板に

おけるウェル形成又はトランジスタ形成のプロセス工程数を大幅に削減できる魅力的な固体撮像装置として期待されている。

【0005】

図17は、従来のNMOS型固体撮像装置の内部構成を示すブロック図である。図17に示すように、NMOS型固体撮像装置30は、行列状に並べられた複数の画素31aから構成される画素部31と、画素部31の各画素行と第1の選択信号線31bを介して接続され、画素部31の中から任意の画素行を選択するための行選択信号を出力する垂直走査部32と、画素部31の各画素列と第2の選択信号線31cを介して接続され、行選択信号によって選択された画素行を構成する各画素から出力されるアナログ信号を読み出す水平走査部33とを備えている。ここで、画素部31と水平走査部33との間には、画素部31の各画素から出力されるアナログ信号からノイズを除去するノイズ除去部34が設けられている。また、CMOS型固体撮像装置10は、水平走査部33によって読み出されたアナログ信号を増幅して外部（信号処理装置40）に出力する増幅アンプ部35をさらに備えている。尚、信号処理装置40からは、NMOS型固体撮像装置30の各構成部分の動作に必要なパルス等が送信される。

【0006】

【特許文献1】

特開2000-286706（第2-5頁、第1図）

【0007】

【発明が解決しようとする課題】

しかしながら、トランジスタとしてN型MOSトランジスタのみを用いて構成されたNMOS型固体撮像装置に、CMOS型固体撮像装置と同等の機能を搭載すること、特に、AD変換器を搭載することは非常に困難である。具体的には、図17に示すように、従来のNMOS型固体撮像装置にはAD変換器は搭載されていない。このため、NMOS型固体撮像装置は前述のように魅力的な固体撮像装置でありながら、CMOS型固体撮像装置と比べて機能的に劣ってしまうという問題がある。

【0008】



前記に鑑み、本発明は、NMOS型固体撮像装置に、N型MOSトランジスタのみで回路構成されたAD変換器を搭載できるようにすることを目的とする。

【0009】

【課題を解決するための手段】

前記の目的を達成するために、本発明に係る固体撮像装置は、回路を構成するトランジスタとしてN型MOSトランジスタのみが用いられた固体撮像装置を前提とし、光に応答して電荷を発生する光電変換素子と該光電変換素子で発生した電荷と対応する電圧信号をアナログ信号として出力する増幅素子とをそれぞれを有する複数の画素が2次元行列状に並べられてなる画素部と、画素部の各画素行に対して設けられた選択信号線と、画素部の各画素列に対して設けられ且つ画素部の中から選択された画素行を構成する各画素における増幅素子から出力されたアナログ信号をデジタル信号に変換して記憶する比較記憶部と、比較記憶部に記憶されたデジタル信号を時系列に選択して読み出す走査器と、読み出されたデジタル信号を増幅して外部に出力する増幅器とを備えている。

【0010】

本発明のNMOS型固体撮像装置によると、比較記憶部において、画素部の中から選択された画素行を構成する各画素における増幅素子から出力されたアナログ信号をデジタル信号に変換する。このため、NMOS型固体撮像装置においてもAD変換機能を実現できるので、NMOS型固体撮像装置の付加価値を飛躍的に向上させることができる。

【0011】

本発明のNMOS型固体撮像装置において、比較記憶部は比較器を有すると共に、該比較器は、N型MOSトランジスタのみが用いられ且つ互いに直列に接続された3個のインバータ回路と、出力信号の電圧減衰を防止し且つ該出力信号を高速化する昇圧回路とを有することが好ましい。このとき、3個のインバータ回路のうち1段目のインバータ回路の立ち下がり速度を大きくするために、1段目のインバータ回路におけるGND電位と接続されるトランジスタのON抵抗は、電源電位と接続されるトランジスタのON抵抗よりも小さく設定され、3個のインバータ回路のうち2段目のインバータ回路の立ち上がり速度を大きくするため

に、2段目のインバータ回路における電源電位と接続されるトランジスタのON抵抗は、GND電位と接続されるトランジスタのON抵抗よりも小さく設定され、3個のインバータ回路のうち3段目のインバータ回路の立ち下がり速度を大きくするために、3段目のインバータ回路におけるGND電位と接続されるトランジスタのON抵抗は、電源電位と接続されるトランジスタのON抵抗よりも小さく設定されていることが好ましい。

【0012】

このようにすると、比較器に昇圧回路を設けていると共に、比較器の3段目のインバータ回路の最終出力特性における「High」レベルから「Low」レベルへの立ち下がり速度を大きくしているので、N型MOSトランジスタのみを用いた回路でも、信号電圧レベル減衰、消費電力増加又は応答速度低下等の問題を防止できる。

【0013】

本発明のNMOS型固体撮像装置において、比較記憶部は記憶器を有すると共に、該記憶器は、比較器からの信号に基づきカウンタ値を読み出す第1のスイッチと、読み出されたカウンタ値を保存する容量と、容量に保存されたカウンタ値を転送する第2のスイッチと、転送されたカウンタ値を削除する第3のスイッチと、走査器からの信号に基づき、転送されたカウンタ値を読み出す第4のスイッチと、読み出されたカウンタ値を外部に出力する増幅器とを有することが好ましい。また、増幅器は、出力信号の電圧減衰を防止し且つ該出力信号を高速化する昇圧回路を有することが好ましい。

【0014】

このようにすると、記憶器において、動作の特徴に従って回路を共通化できるので、回路規模を縮小できる。また、増幅器に昇圧回路を設けているため、N型MOSトランジスタのみを用いた回路でも、信号電圧レベル減衰、消費電力増加又は応答速度低下等の問題を防止でき、それにより実用レベルの性能を持つNMOS型固体撮像装置を実現できる。

【0015】

本発明のNMOS型固体撮像装置において、走査器のうちの水平走査器から出

力された列選択信号に基づきパルス信号を生成するパルス生成器と、生成されたパルス信号に基づきカウンタ値を生成するカウンタ生成器とをさらに備えていることが好ましい。

【0016】

このようにすると、従来、固体撮像装置の外部のDSP等の信号処理装置に搭載されていたパルス生成回路を削減できる。また、この場合、カウンタ生成器が、出力信号の電圧減衰を防止し且つ該出力信号を高速化する昇圧回路を有すると、信号電圧レベル減衰、消費電力増加又は応答速度低下等の問題をより確実に防止できる。

【0017】

本発明のNMOS型固体撮像装置において、パルス生成器によって生成されたパルス信号及びカウンタ生成器により生成されたカウンタ値のそれぞれに基づきランプ信号を生成するランプ波形生成器をさらに備えていてもよい。

【0018】

【発明の実施の形態】

以下、本発明の一実施形態に係る固体撮像装置、具体的には、回路を構成するトランジスタとしてN型MOSトランジスタのみを用い且つAD変換器を内蔵したNMOS型固体撮像装置について、図面を参照しながら説明する。

【0019】

図1は、本実施形態のNMOS型固体撮像装置の概略構成を示すブロック図である。

【0020】

図1に示すように、NMOS型固体撮像装置100は、2次元行列状に並べられた複数の画素101aから構成される画素部101と、画素部101の各画素行と第1の選択信号線101bを介して接続され、画素部101の中から任意の画素行を選択するための行選択信号を出力する垂直走査器102と、画素部101の各画素列と第2の選択信号線101cを介して接続され、画素部101から任意の画素列を選択するための列選択信号を出力する水平走査器103とを備えている。図示は省略しているが、画素部101の各画素101aは、光に応答し

て電荷を発生する光電変換素子（例えばフォトダイオード）と、該光電変換素子で発生した電荷と対応する電圧信号をアナログ信号として出力する増幅素子（例えば増幅トランジスタ）とを有する。

【0021】

本実施形態の特徴は、画素部101と水平走査器103との間に、比較記憶部（比較器104及び記憶器105）が画素部101の各画素列に対して設けられていることである。比較記憶部は、画素部101の中から選択された画素行を構成する各画素101aにおける増幅素子から出力されたアナログ信号をデジタル信号に変換して記憶するものである。具体的には、比較器104は、行選択信号によって選択された画素行の各画素101aからアナログ信号を読み出すと共に該読み出されたアナログ信号をランプ信号と合成して該合成信号と基準電圧とを比較する。また、記憶器105は、比較器104によって得られた比較結果を入力して該比較結果に基づきカウンタ値を記憶すると共に該記憶されたカウンタ値を列選択信号に基づきデジタル信号として時系列に読み出す。尚、後述するように、記憶器105の内部には、デジタル信号を増幅して外部（信号処理装置150）に出力する増幅器が設けられている。

【0022】

また、本実施形態の他の特徴として、NMOS型固体撮像装置100は、水平走査器103からの列選択信号に基づきパルス信号を生成するパルス生成器106と、パルス生成器106からのパルス信号に基づき、記憶器105に必要なカウンタ値を生成するカウンタ生成器107と、カウンタ生成器107からのカウンタ値に基づきアナログ信号を生成するDA変換器108と、DA変換器108からのアナログ信号とパルス生成器106からのパルス信号とに基づき、比較器104に必要なランプ信号を生成するランプ波形生成器109とをさらに備えている。尚、パルス生成器106からは、画素部101、垂直走査器102、比較器104及び記憶器105のそれぞれに対してもパルス信号が送られる。また、NMOS型固体撮像装置100の外部の信号処理装置150からは、水平走査器103及びカウンタ生成器107のそれぞれに対して所定の信号が送られる。

【0023】

以下、NMOS型固体撮像装置100の各構成要素、具体的には、比較器104、記憶器105、パルス生成器106、カウンタ生成器107、DA変換器108及びランプ波形生成器109のそれぞれについて詳しく説明する。

【0024】

まず、比較器104について説明する。図1に示すように、比較器104は、画素部101から列毎に出力されるアナログ画素信号と、ランプ波形生成器109から出力されるランプ信号とから合成信号を生成し、該合成信号と比較器104内で発生させた基準電圧とを比較し、該比較結果を記憶器105に高速で伝送する。ところで、比較器104を構成するトランジスタはN型MOSトランジスタのみであるが、本実施形態では、N型MOSトランジスタよりなる回路に特有の、信号電圧レベル減衰、消費電力増加又は応答速度低下等の問題を防止するために、以下に説明するような回路的に特別な対策を比較器104に施している。すなわち、比較器104において、互いに直列に接続された3個のインバータ回路を用いている。ここで、3個のインバータ回路のうち入力初段（第1段）のインバータ回路は、立ち下がり速度を速くするために、GND電位と接続されるトランジスタのON抵抗が相対的に小さくなると共に電源電位と接続されるトランジスタのON抵抗が相対的に大きくなるように設計されている。また、2段目のインバータ回路は、立ち上がり速度を速くするために、電源電位と接続されるトランジスタのON抵抗が小さくなると共にGND電位と接続されるトランジスタのON抵抗が大きくなるように設計されている。また、3段目のインバータ回路は、立ち下がり速度を速くするために、GND電位と接続されるトランジスタのON抵抗が小さくなると共に電源電位と接続されるトランジスタのON抵抗が大きくなるように設計されている。さらに、出力パルスの電圧減衰を防止すると共に出力パルスを高速化するために、比較器104には昇圧回路が設けられる。このように、3段目のインバータ回路の最終出力特性における「High」レベルから「Low」レベルへの立ち下がり速度の向上に重点を置いた回路設計を行なうことによって、N型MOSトランジスタのみを用いた回路でも、信号電圧レベル保持、消費電力削減又は応答速度向上等の性能面で実用レベルを達成できる。

【0025】

図2は、本実施形態の比較器104の回路構成（画素列6列分と対応する部分）の一例を示すブロック図であり、図3は、図2に示す比較器104における1画素列と対応する部分の詳細な回路構成を示すブロック図であり、図4は、図2に示す比較器104の動作タイミング図である。尚、図2及び図3において、M19～M29はN型MOSトランジスタであり、C20～C23は容量であり、I21～I23はインバータ回路である。

【0026】

図2～図4に示すように、比較器104においては、まず、水平ブランキング期間中にアナログ画素信号SIGがリセットレベルにホールドされた状態で画素信号入力スイッチSIGSWを「High」にすることにより、トランジスタM20をオンして画素信号SIGのリセットレベルを入力する。次に、コンパレータリセットスイッチCMPRSを「High」にすることにより、トランジスタM22をオンしてトランジスタM23の閾値バラツキと各画素の増幅トランジスタの閾値バラツキとを削除した後、各画素のフォトダイオードから画素信号SIGを読み出す。その後、ランプ信号入力スイッチSAWSWを「High」にすることにより、トランジスタM19をオンしてランプ信号を入力し、それによってランプ信号と画素信号SIGとの合成信号を、ノードVIN（図3参照）に出現させる。ここで、VIN部電圧の初期値が必ずトランジスタM23の閾値バラツキよりも低い電圧になるようにランプ波形が調整される。続いて、ランプ信号がリニアにスweepされるに従ってVIN部電圧も上昇し、VIN部電圧がトランジスタM23の閾値よりも高い電圧になった時点で、ノードN22が「Low」レベルに、ノードN24が「High」レベルに、そしてコンパレータ出力信号CMPOUTが「Low」レベルにそれぞれ変化する。

【0027】

比較器104によって実現すべきポイントは、コンパレータ出力信号CMPOUTの初期値である「High」レベルが電源電圧レベルであること、及びCMPOUTの「High」から「Low」への立ち下がり速度が可能な限り高速であることである。この理由は、比較器104の後段にある記憶器105（図5参照）において、CMPOUTによってN型MOSトランジスタM30が制御され

てカウンタ値が記憶される構成が採用されているためである。

【0028】

そこで、本実施形態では、使用トランジスタがN型MOSトランジスタのみである、3段のインバータ回路I21～I23のディメンジョンを工夫した。すなわち、1段目のインバータ回路I21においては立ち下がり特性を重視し、2段目のインバータ回路I22においては立ち上がり特性を重視し、且つ3段目のインバータ回路I23においては立ち下がり特性を重視する設計を行なった。

【0029】

具体的には、1段目のインバータ回路I21においては、「Low」にドライブするトランジスタM23のゲート長を相対的に小さくすると共にゲート幅を相対的に大きくすることによってトランジスタM23のオン抵抗を小さくし、それにより1段目のインバータ回路I21の立ち下がり速度を高速化する。一方、「High」にドライブするトランジスタM21のゲート長を相対的に大きくすると共にゲート幅を相対的に小さくすることによってトランジスタM21のオン抵抗を大きくし、それにより電流を小さくする。

【0030】

また、2段目のインバータ回路I22においては、「High」にドライブするトランジスタM25のゲート長を相対的に小さくすると共にゲート幅を相対的に大きくすることによってトランジスタM25のオン抵抗を小さくし、それにより2段目のインバータ回路I22の立ち上がり速度を高速化する。一方、「Low」にドライブするトランジスタM26のゲート長を相対的に大きくすると共にゲート幅を相対的に小さくすることによってトランジスタM26のオン抵抗を大きくし、それにより電流を小さくする。

【0031】

また、3段目のインバータ回路I23においては、「Low」にドライブするトランジスタM29のゲート長を相対的に小さくすると共にゲート幅を相対的に大きくすることによってトランジスタM29のオン抵抗を小さくし、それにより3段目のインバータ回路I23の立ち下がり速度を高速化する。一方、「High」にドライブするトランジスタM28のゲート長を相対的に大きくすると共に

ゲート幅を相対的に小さくすることによってトランジスタM28のオン抵抗を大きくし、それにより電流を小さくする。

【0032】

以上に説明した回路設計によって、比較器104のコンパレータ出力信号CMPOUTの立ち下がり速度の向上と、比較器104の消費電力の低減とが達成される。

【0033】

次に、記憶器105について説明する。図1に示すように、記憶器105は、カウンタ生成器107から入力されるカウンタ値を、比較器104の比較動作によって出力された「Low」の信号によって遮断し、遮断時に入力されていたカウンタ値をカウンタ値保持用容量に保存する。また、記憶器105は、保存されているカウンタ値を水平走査器103からのパルス（列選択信号）に基づき時系列に読み出して順次出力増幅器を通してデジタル信号として外部（信号処理装置150）に出力する。ここで、比較器104と同様に、記憶器105を構成するトランジスタもN型MOSトランジスタのみであるので、信号電圧レベル減衰、消費電力増加又は応答速度低下等の問題を防止するために、記憶器105に昇圧回路を搭載することによって、実用レベルの性能を確保する。また、回路規模を縮小するために、記憶器105の回路を、動作の特徴に基づき極力共通化する。

【0034】

図5は、本実施形態の記憶器105の回路構成（画素列6列分と対応する部分）の一例を示すブロック図であり、図6は、図5に示す記憶器105における1画素列と対応する部分の詳細な回路構成を示すブロック図であり、図7は、図5に示す記憶器105の動作タイミング図である。尚、図5及び図6において、M30～M34及びM40～M48はN型MOSトランジスタであり、C30及びC40～C43は容量であり、Latはラッチ回路であり、AMPは増幅器である。

【0035】

図5～図7に示すように、記憶器105のラッチ回路Latにおいては、まず、水平ブランキング期間中に比較器104からのコンパレータ出力信号CMPO

UTの電圧が「Low」に変化した時点で、トランジスタM30がオフすることにより、カウンタ生成器107からのカウンタコード（デジタル値）をサンプリングしてプリフェッチ用容量C30にプリフェッチする。次に、ラッチデータ転送信号DATATRを「High」にすることにより、トランジスタM31をオンして、プリフェッチされたカウンタコードをトランジスタM34のゲートに印加する。次に、AD変換後のデジタル値を外部に出力するために記憶器105に設けられている増幅器AMPにおいて、1段目のインバータ回路を動作させるための動作開始パルス（インバータスタート1信号）INVSTA1をオンし、続いて、2段目のインバータ回路を動作させるための動作開始パルス（インバータスタート2信号）INVSTA2をオンする。これによって、増幅器AMPを予め動作状態にしておくことができる。次に、水平走査器103からの列選択信号HSRを「High」にすることによってトランジスタM33をオンすると共に該トランジスタM33を介して増幅器AMPに、プリフェッチされたカウンタコードをデジタル信号として入力する。これにより、アナログの画素信号が変換されてなるデジタル信号が、最終的に増幅器AMPによって増幅されて外部に出力される。尚、増幅器AMPにおいては、増幅動作が不要なときには、インバータ動作停止パルス（インバータストップ信号）INVSTPを用いて消費電力を削減することができる。また、増幅器AMP中のインバータ回路に昇圧回路を設けているため、「High」レベルを電源電圧に設定でき、それにより出力信号の電圧減衰を防止できると共に該出力信号を高速化できる。

【0036】

次に、パルス生成器106について説明する。図1に示すように、パルス生成器106は、水平走査器103からの出力パルス（列選択信号）を合成することにより、AD変換動作に必要なタイミングパルスを生成すると共に生成されたパルスを後段のカウンタ生成器107に入力する。

【0037】

図8は、本実施形態のパルス生成器106の回路構成の一例を示すブロック図であり、図9は、図8に示すパルス生成器106の動作タイミング図である。尚、図8及び図9において、M1～M4はN型MOSトランジスタであり、C1は

容量である。

【0038】

本実施形態のパルス生成器106は、水平走査器103から時系列に出力される2種類のパルスの立ち上がりエッジを用いて新たにパルスを生成する。具体的には、図8及び図9に示すように、パルス生成器106においては、水平走査器103からの入力信号INPUT1が「High」になると、トランジスタM1がオンし、それによりブートストラップ容量C1に電圧〔電源電圧V_{dd}－トランジスタM1の閾値電圧〕が印加されて容量C1が充電されると共に、トランジスタM3のゲートに前記の電圧が印加される。このため、パルス生成器106の出力信号OUTPUTとして、〔電源電圧V_{dd}－トランジスタM3の閾値電圧〕が出現する。これにより、ノードN1が昇圧されて、その電圧がトランジスタM3のゲートに印加されるため、出力信号OUTPUTとして、電源電圧V_{dd}レベルの「High」が出現する。一方、水平走査器103からの入力信号INPUT2が「High」になると、トランジスタM2及びトランジスタM4がオンするため、ノードN1及び出力信号OUTPUTがGNDレベルにドライブされるので、出力信号OUTPUTとして「Low」が出現する。以上に説明した動作原理によって、パルス生成器106は、水平走査器103からのパルスから、AD変換動作及びカウンタコード生成のそれぞれに必要なパルスを生成する。

【0039】

次に、カウンタ生成器107について説明する。図1に示すように、カウンタ生成器107は、水平走査器103からの出力パルスとパルス生成器106により生成されたパルスとを入力として、AD変換動作のデジタル出力値となるデータ（カウンタ値）を生成し、生成されたデータを記憶器105に出力する。

【0040】

図10は、分周回路を用いた本実施形態のカウント生成器107の回路構成の一例を示すブロック図であり、図11は、図10に示すカウンタ生成器107における1つの分周回路の構成を示すブロック図であり、図12は、図10に示すカウンタ生成器107の動作タイミング図である。尚、図11において、M51～M74はN型MOSトランジスタであり、C51～C54は容量である。

【0041】

図10～図12に示すように、カウンタ生成器107の回路動作は、パルス生成部106によって生成されたパルスと、信号処理装置150から水平走査器103へ入力される基準パルスとを最初に用いてスタートする。そして、分周スタートパルス入力CODE_nSTA (n=0～9)が「High」になった状態で、被分周パルスを入力すると、2分周パルス出力CODE_n (n=0～9)として、被分周パルスと同期して極性が反転する信号が出現する。次に、CODE_nSTAを「Low」に変化させて被分周パルスを入力すると、再び、2分周パルス出力CODE_nとして、被分周パルスと同期して極性が反転する信号が出現する。カウンタ生成器107においては、図11に示す分周回路をカスケードに接続することによって、以上に説明した動作原理に従ってAD変換に必要なカウンタ値を生成している。

【0042】

次に、DA変換器108及びランプ波形生成器109について説明する。図1に示すように、DA変換器108は、カウンタ生成器107により生成されたコードデータ(カウンタ値)を入力してアナログ信号を生成する。また、ランプ波形生成器109は、DA変換器108により生成されたアナログ信号とパルス生成器106により生成されたパルスとを入力して、比較器104に必要なランプ信号を生成する。ここで、DA変換器108及びランプ波形生成器109のそれぞれを構成するトランジスタは全てN型MOSトランジスタである。

【0043】

図13は、本実施形態のDA変換器108の回路構成の一例を示すブロック図であり、図14は、本実施形態のランプ波形生成器109の回路構成の一例を示すブロック図であり、図15は、図14に示すランプ波形生成器109の動作タイミング図である。尚、図13において、M80～M89はN型MOSトランジスタであり、I80～I89はインバータ回路であり、R及び2Rは抵抗である。また、図14において、M90～M93はN型MOSトランジスタであり、C90及びC91は容量であり、V90及びV91は電源である。

【0044】

まず、図 1 3 に示すように、D A 変換器 1 0 8 においては、カウンタ生成器 1 0 7 で生成されたカウンタ値（コードデータ C O D E n）がビット毎に入力される。また、D A 変換器 1 0 8 は R - 2 R 型の D A 変換器であって、カウンタ値に比例した電位をアナログアウト信号 A N A O U T として出力する。アナログアウト信号 A N A O U T は、例えばのこぎり波等のようにリニアにスweepする波形を持つ（図 1 5 参照）。続いて、図 1 4 に示すランプ波形生成器 1 0 9 において、パルス生成器 1 0 6 により生成されたパルス（リセットパルス）と、D A 変換器 1 0 8 により生成されたアナログアウト信号 A N A O U T とを、図 1 5 に示すタイミングで印加することにより、A D 変換に必要な波形を持つランプ信号が生成される。

【 0 0 4 5 】

以上に説明したように、本実施形態の N M O S 型固体撮像装置によると、使用トランジスタとして N 型 M O S トランジスタのみを用いて各構成部分（比較器 1 0 4 及び記憶器 1 0 5 等）の設計を最適化することによって、画素部 1 0 1 の中から選択された画素行を構成する各画素 1 0 1 a における増幅素子から出力されたアナログ信号をデジタル信号に変換する。すなわち、使用トランジスタが N 型 M O S トランジスタのみである A D 変換器を N M O S 型固体撮像装置に搭載できる。このため、デジタル出力が可能な N M O S 型固体撮像装置を実現できるので、N M O S 型固体撮像装置の付加価値を飛躍的に向上させることができる。

【 0 0 4 6 】

また、本実施形態の N M O S 型固体撮像装置によると、比較器 1 0 4 に昇圧回路を設けていると共に、比較器 1 0 4 の 3 段目のインバータ回路 I 2 3 の最終出力特性における「H i g h」レベルから「L o w」レベルへの立ち下がり速度を大きくしている。従って、N 型 M O S トランジスタのみを用いた回路でも、信号電圧レベル減衰、消費電力増加又は応答速度低下等の問題を防止できる。

【 0 0 4 7 】

また、本実施形態の N M O S 型固体撮像装置によると、記憶器 1 0 5 において、動作の特徴に従って回路を共通化しているので、回路規模を縮小できる。また、記憶器 1 0 5 中の増幅器 A M P に昇圧回路を設けているため、N 型 M O S トラ

ンジスタのみを用いた回路でも、信号電圧レベル減衰、消費電力増加又は応答速度低下等の問題を防止でき、それにより実用レベルの性能を持つNMOS型固体撮像装置を実現できる。

【0048】

また、本実施形態のNMOS型固体撮像装置によると、水平走査器103から出力された列選択信号に基づきパルス信号を生成するパルス生成器106を備えているため、従来、固体撮像装置の外部のDSP等の信号処理装置に搭載されていたパルス生成回路を削減できる。

【0049】

また、本実施形態のNMOS型固体撮像装置によると、カウンタ値を生成するカウンタ生成器107が、出力信号の電圧減衰を防止し且つ該出力信号を高速化する昇圧回路を有するため、信号電圧レベル減衰、消費電力増加又は応答速度低下等の問題をより確実に防止できる。

【0050】

尚、本実施形態において、比較器104及び記憶器105をそれぞれ別個に設けたが、これに代えて、両者の機能を有する比較記憶部を設けてもよい。

【0051】

また、本実施形態において、記憶器105の一部として増幅器AMPを設けたが、これに代えて、記憶器105とは別に増幅器AMPを設けてもよい。

【0052】

【発明の効果】

本発明によると、NMOS型固体撮像装置に、画素部の中から選択された画素行を構成する各画素における増幅素子から出力されたアナログ信号をデジタル信号に変換する比較記憶部が設けられている。このため、NMOS型固体撮像装置においてもAD変換器を組み込むことが可能となるので、NMOS型固体撮像装置の付加価値を飛躍的に向上させることができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態に係るNMOS型固体撮像装置の概略構成を示すブロック

図である。

【図 2】

本発明の一実施形態に係る N M O S 型固体撮像装置における比較器の概略回路構成を示すブロック図である。

【図 3】

本発明の一実施形態に係る N M O S 型固体撮像装置における比較器の詳細回路構成を示すブロック図である。

【図 4】

本発明の一実施形態に係る N M O S 型固体撮像装置における比較器の動作タイミングを示す図である。

【図 5】

本発明の一実施形態に係る N M O S 型固体撮像装置における記憶器の概略回路構成を示すブロック図である。

【図 6】

本発明の一実施形態に係る N M O S 型固体撮像装置における記憶器の詳細回路構成を示すブロック図である。

【図 7】

本発明の一実施形態に係る N M O S 型固体撮像装置における記憶器の動作タイミングを示す図である。

【図 8】

本発明の一実施形態に係る N M O S 型固体撮像装置におけるパルス生成器の回路構成を示すブロック図である。

【図 9】

本発明の一実施形態に係る N M O S 型固体撮像装置におけるパルス生成器の動作タイミングを示す図である。

【図 1 0】

本発明の一実施形態に係る N M O S 型固体撮像装置におけるカウンタ生成器の回路構成を示すブロック図である。

【図 1 1】

本発明の一実施形態に係る N M O S 型固体撮像装置におけるカウンタ生成器に用いられる分周回路の詳細回路構成を示すブロック図である。

【図 1 2】

本発明の一実施形態に係る N M O S 型固体撮像装置におけるカウンタ生成器の動作タイミングを示す図である。

【図 1 3】

本発明の一実施形態に係る N M O S 型固体撮像装置における D A 変換器の回路構成を示すブロック図である。

【図 1 4】

本発明の一実施形態に係る N M O S 型固体撮像装置におけるランプ波形生成器の回路構成を示すブロック図である。

【図 1 5】

本発明の一実施形態に係る N M O S 型固体撮像装置におけるランプ波形生成器の動作タイミングを示す図である。

【図 1 6】

従来の C M O S 型固体撮像装置の概略構成を示すブロック図である。

【図 1 7】

従来の N M O S 型固体撮像装置の概略構成を示すブロック図である。

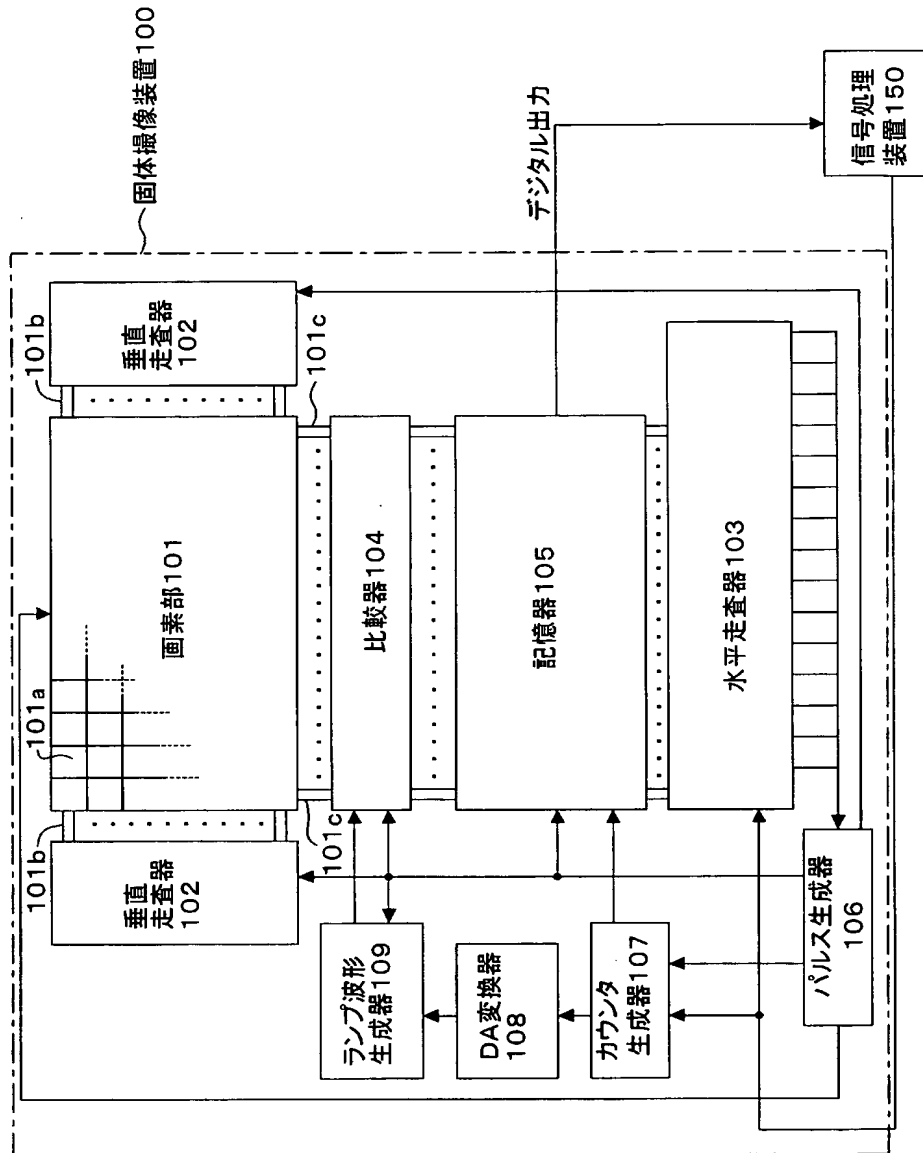
【符号の説明】

- 1 0 0 N M O S 型固体撮像装置
- 1 0 1 画素部
- 1 0 1 a 画素
- 1 0 1 b 第 1 の選択信号線
- 1 0 1 c 第 2 の選択信号線
- 1 0 2 垂直走査器
- 1 0 3 水平走査器
- 1 0 4 比較器
- 1 0 5 記憶器
- 1 0 6 パルス生成器

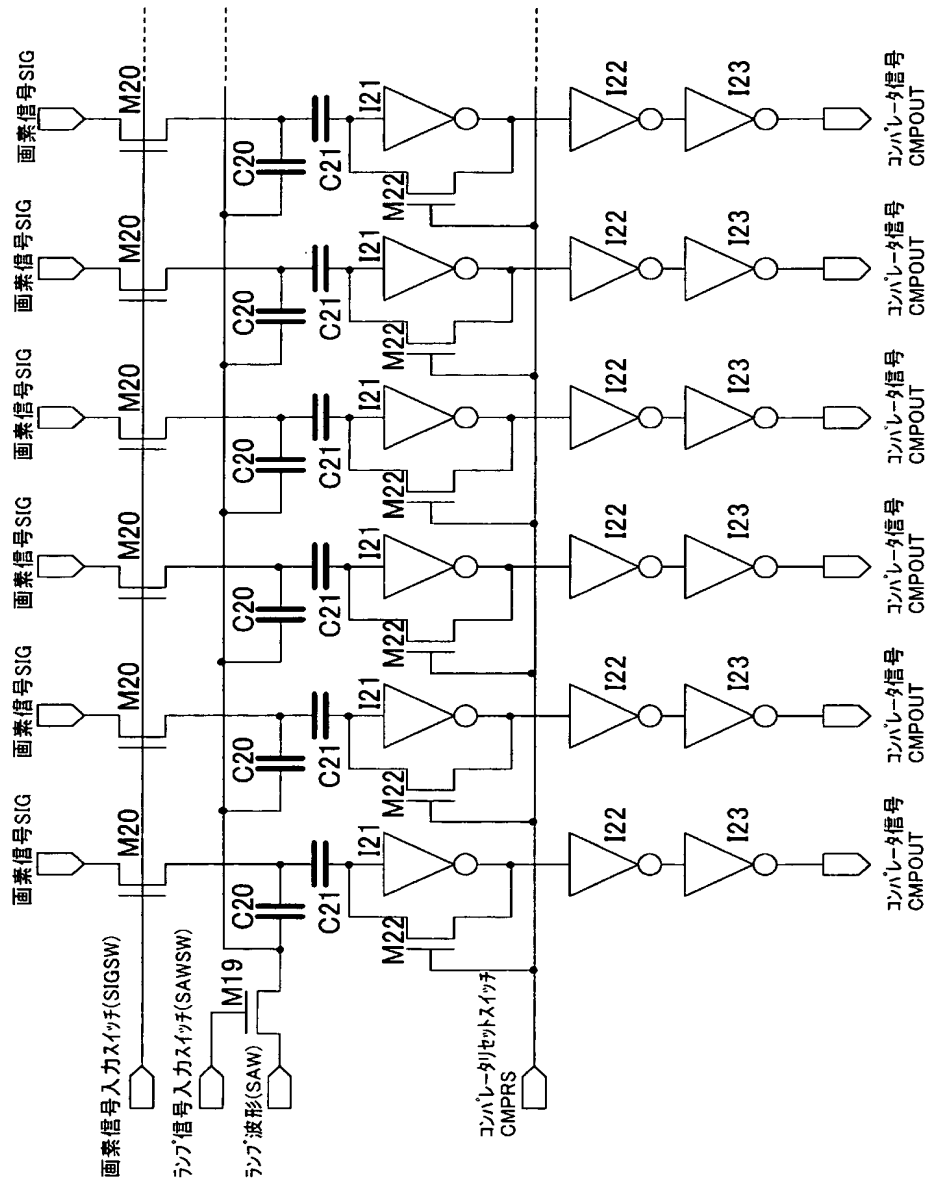
- 1 0 7 カウンタ生成器
- 1 0 8 D A 変換器
- 1 0 9 ランプ波形生成器
- 1 5 0 信号処理装置

【書類名】 図面

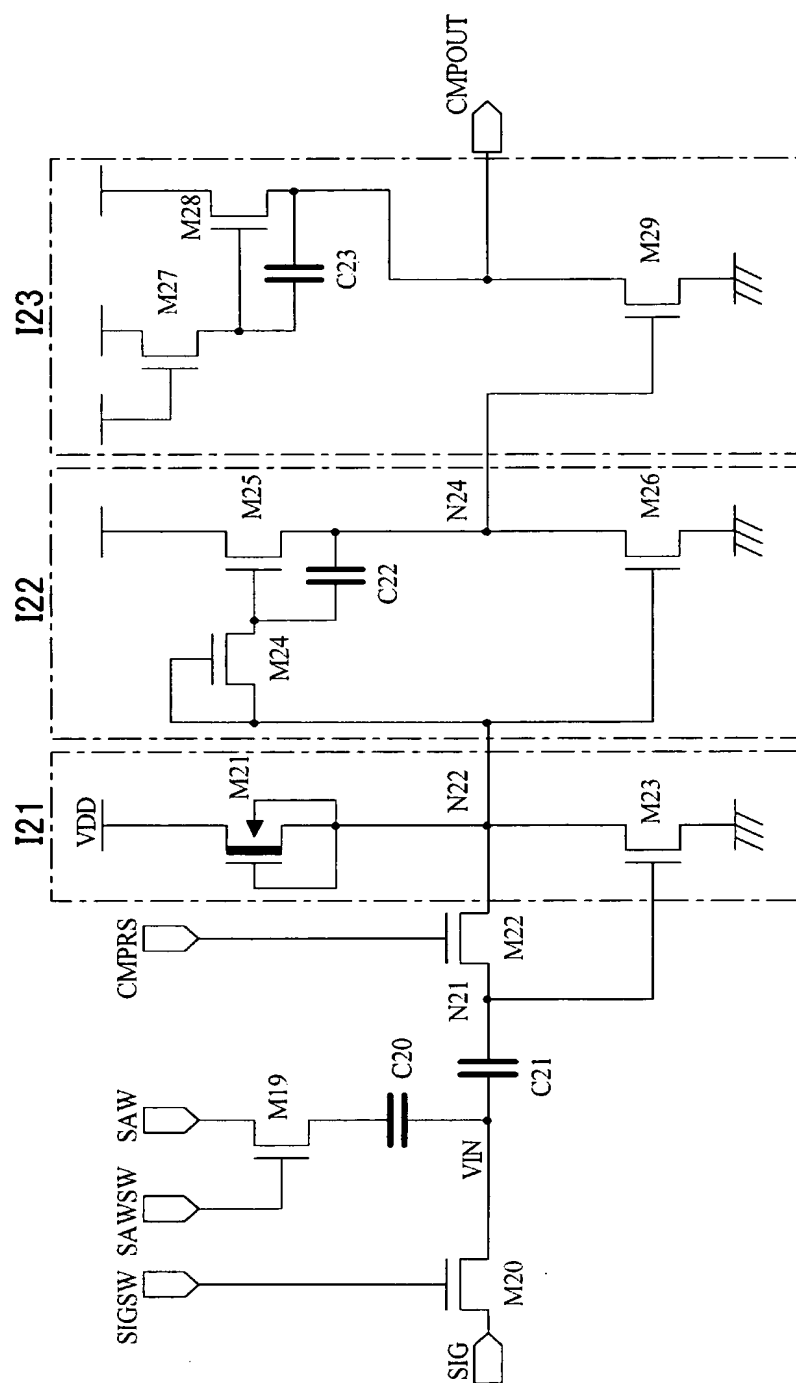
【図 1】



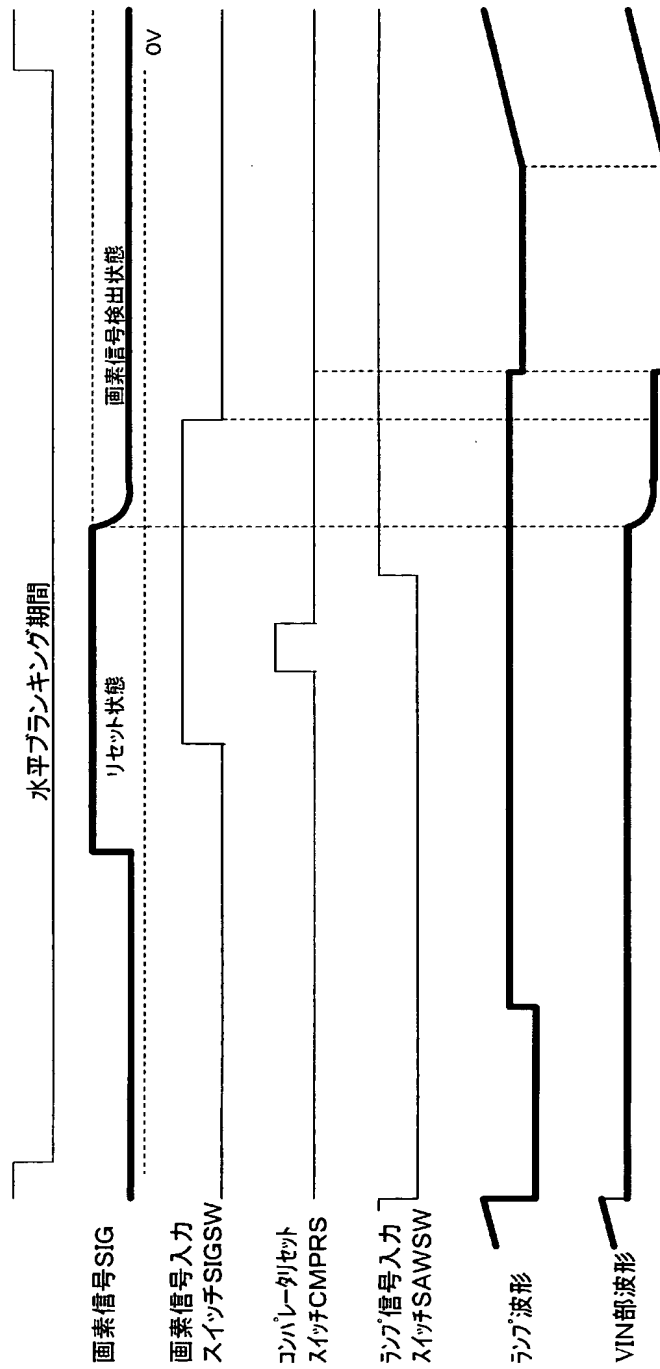
【図 2】



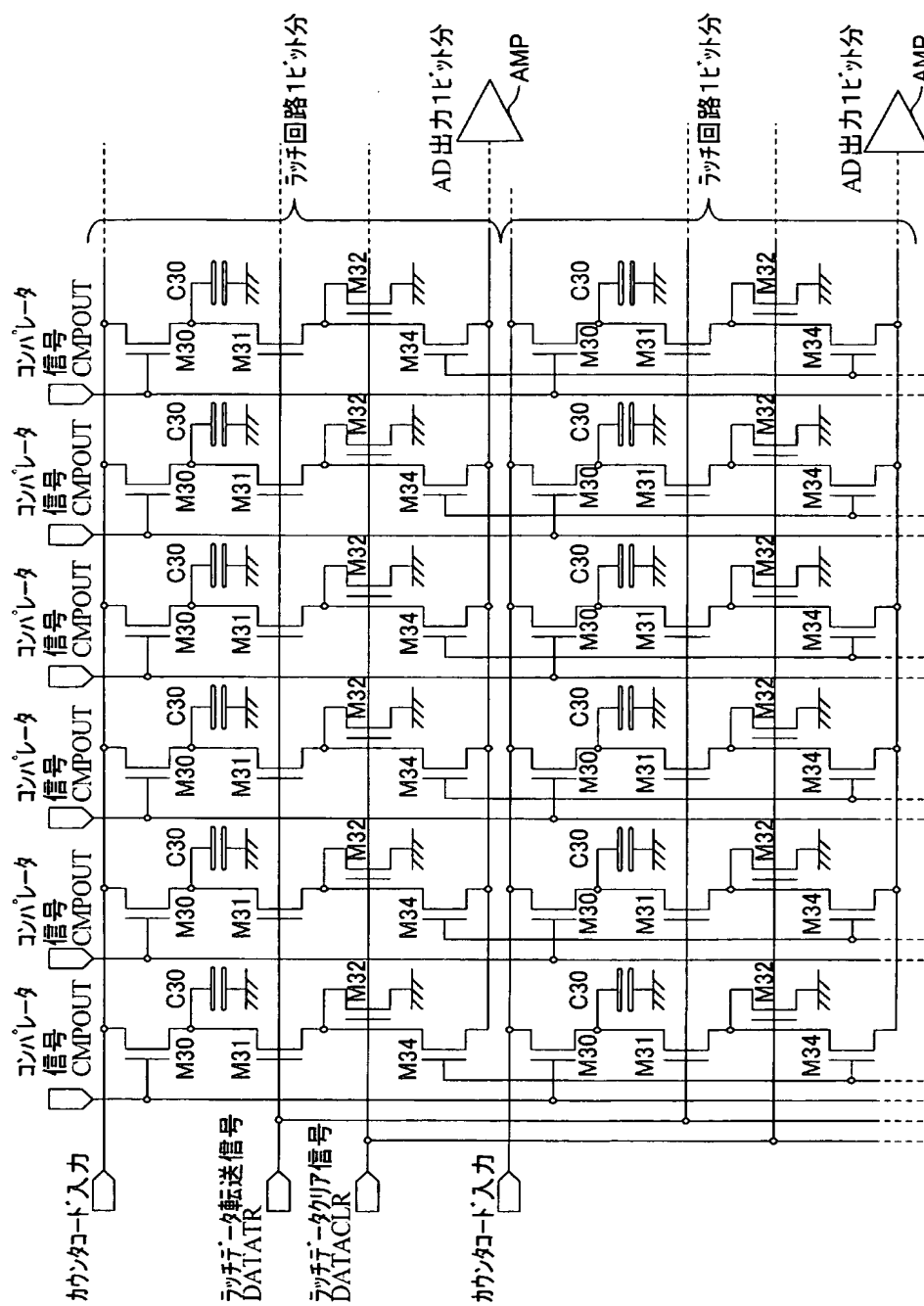
【図 3】



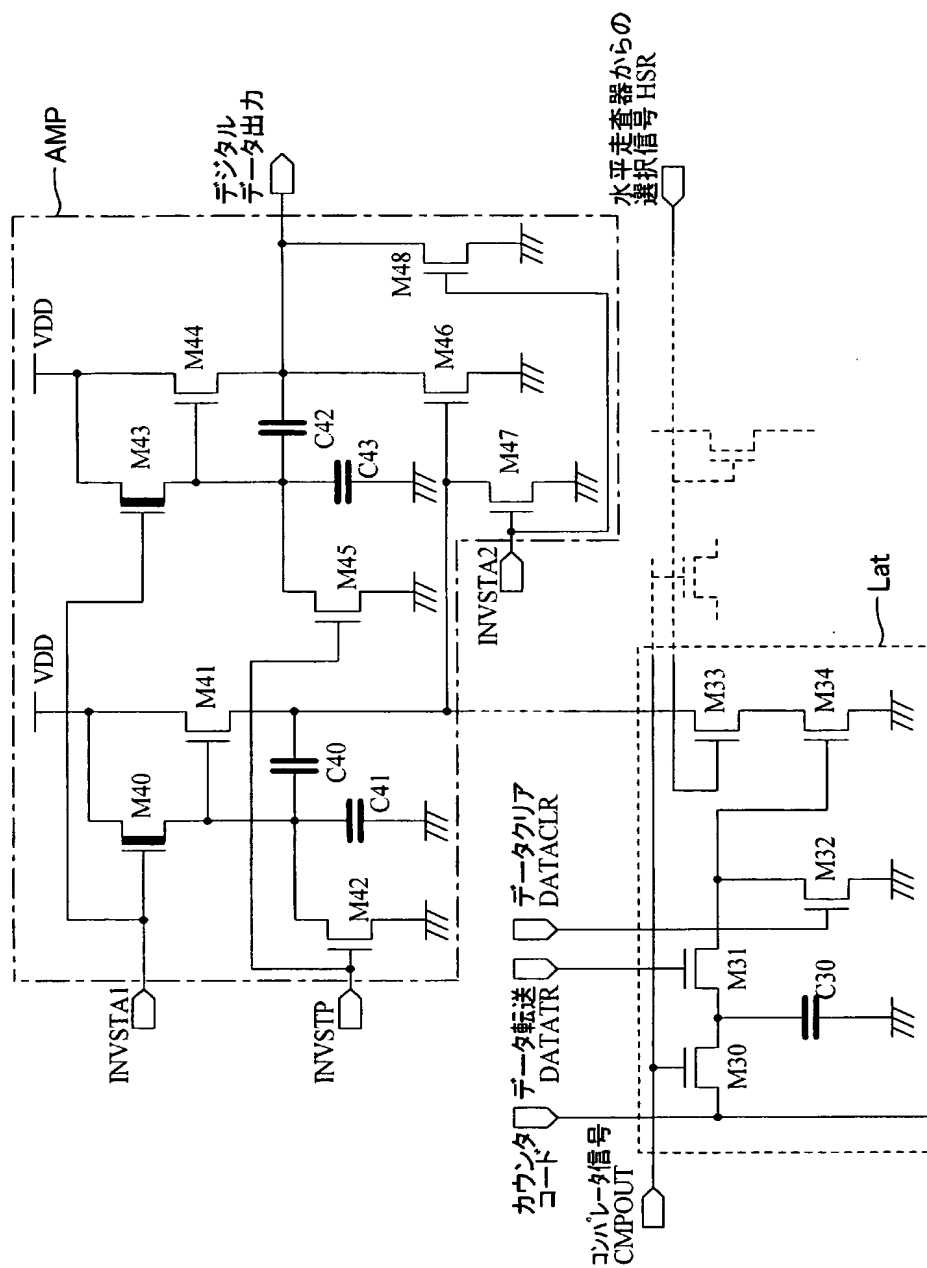
【図 4】



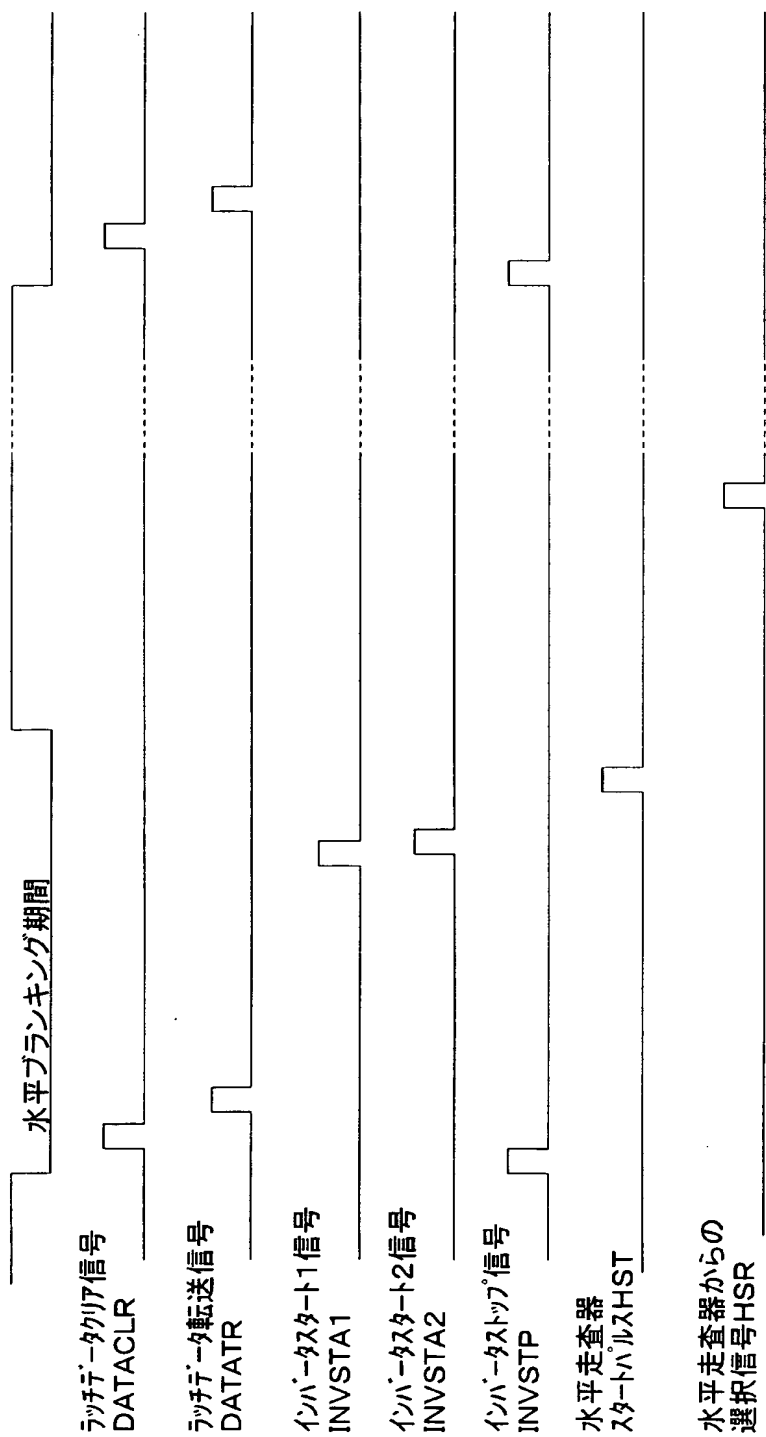
【図 5】



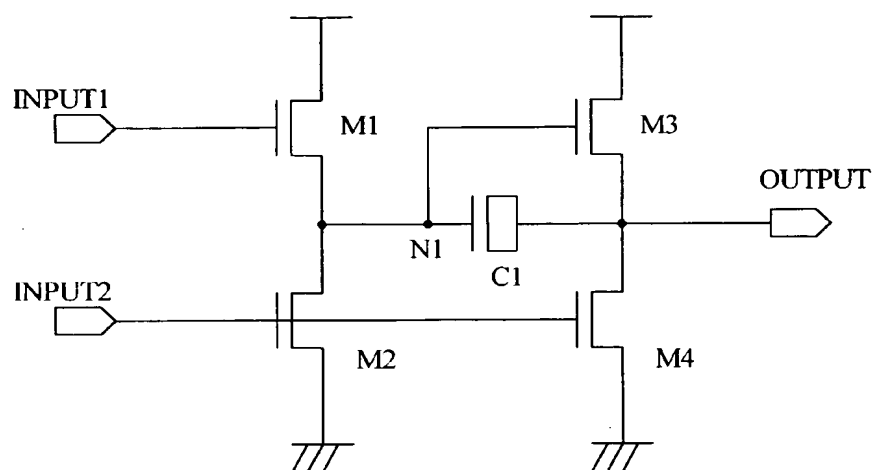
【図 6】



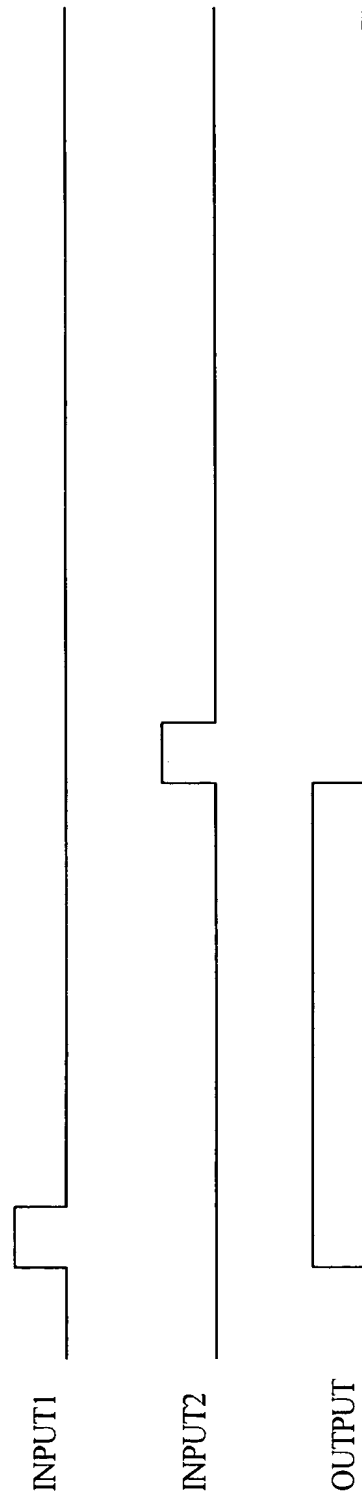
【図 7】



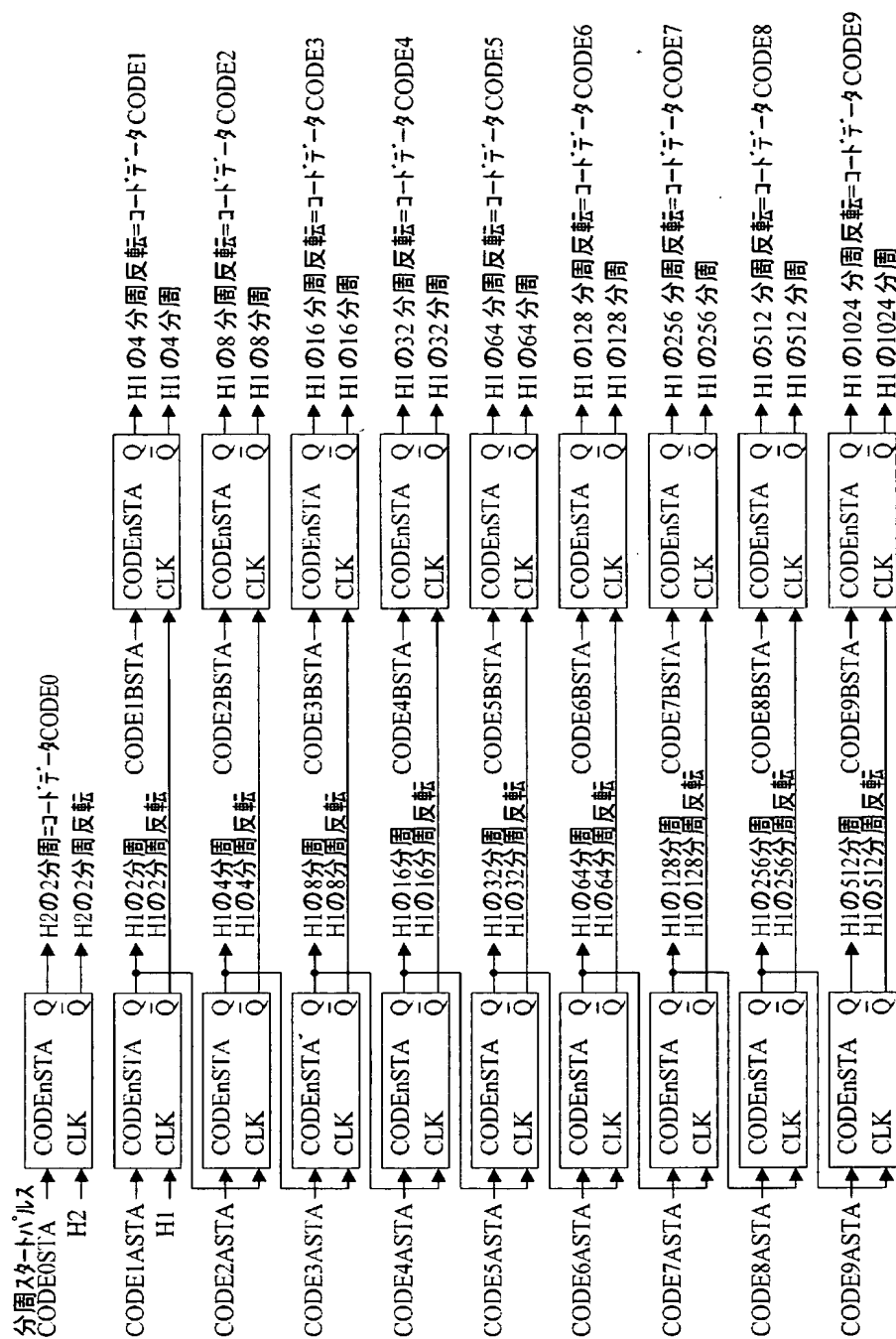
【図 8】



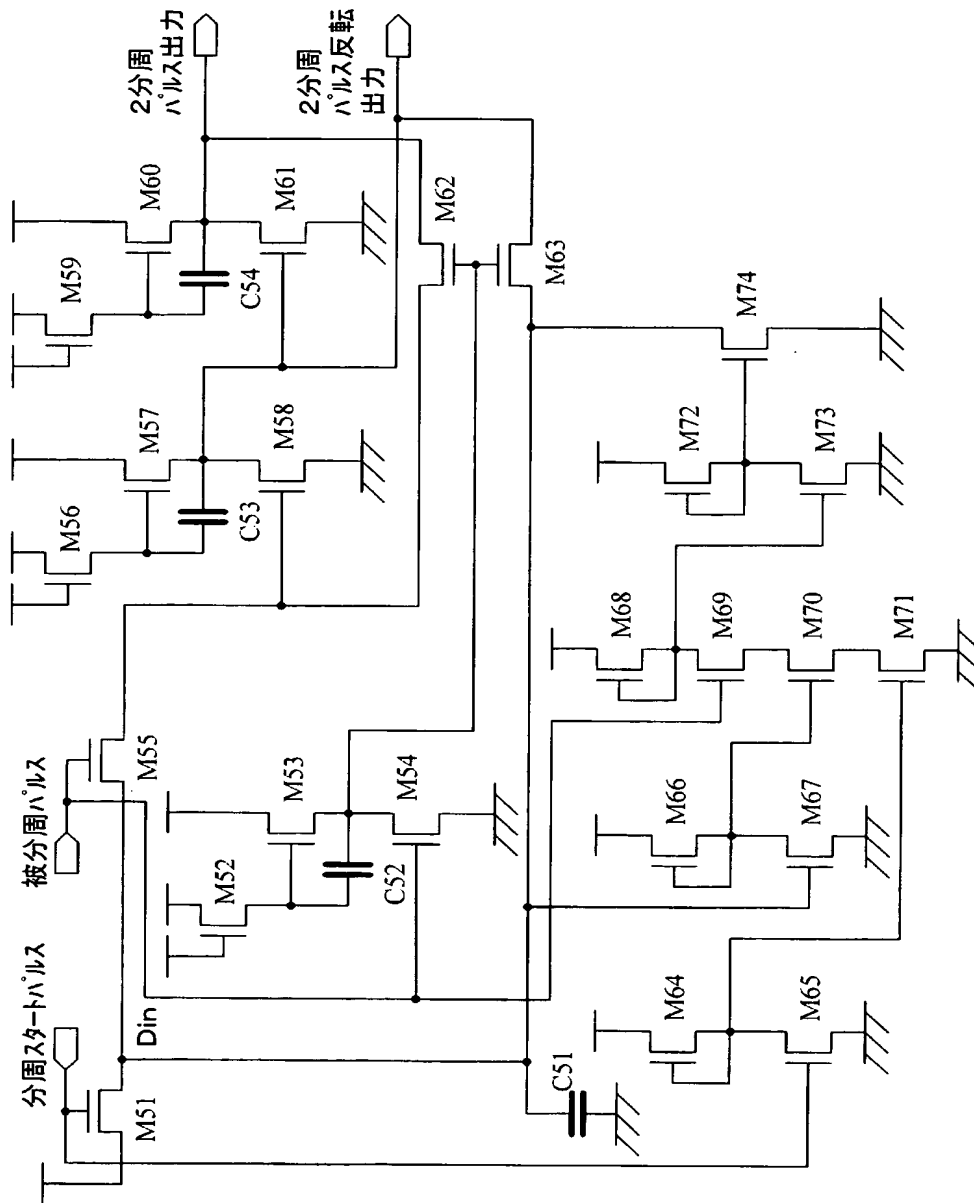
【図 9】



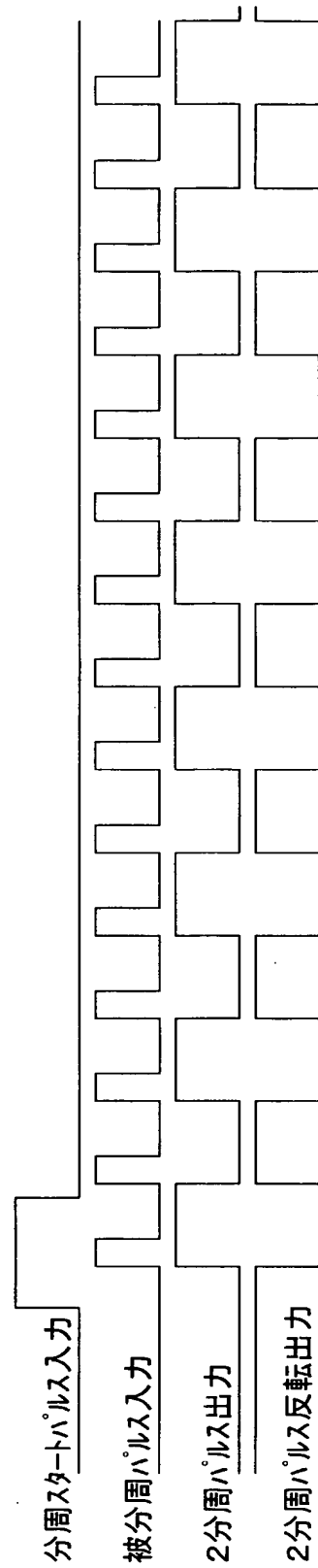
【図 10】



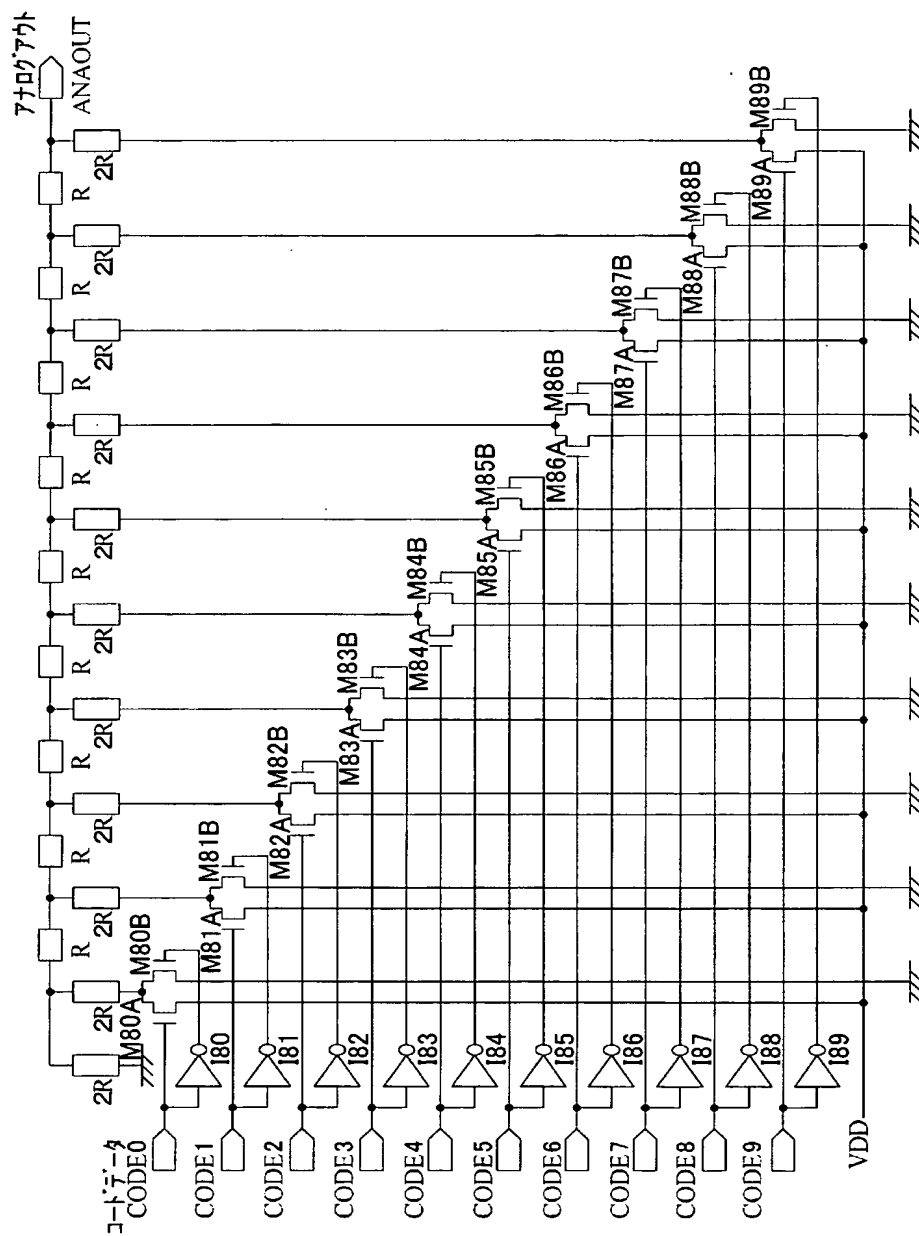
【図 11】



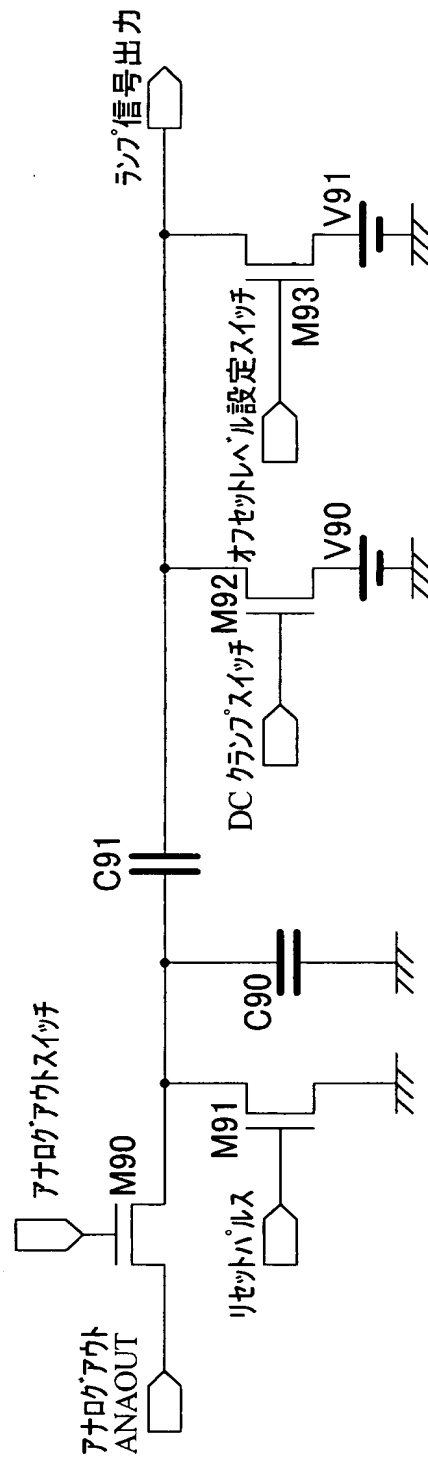
【図 12】



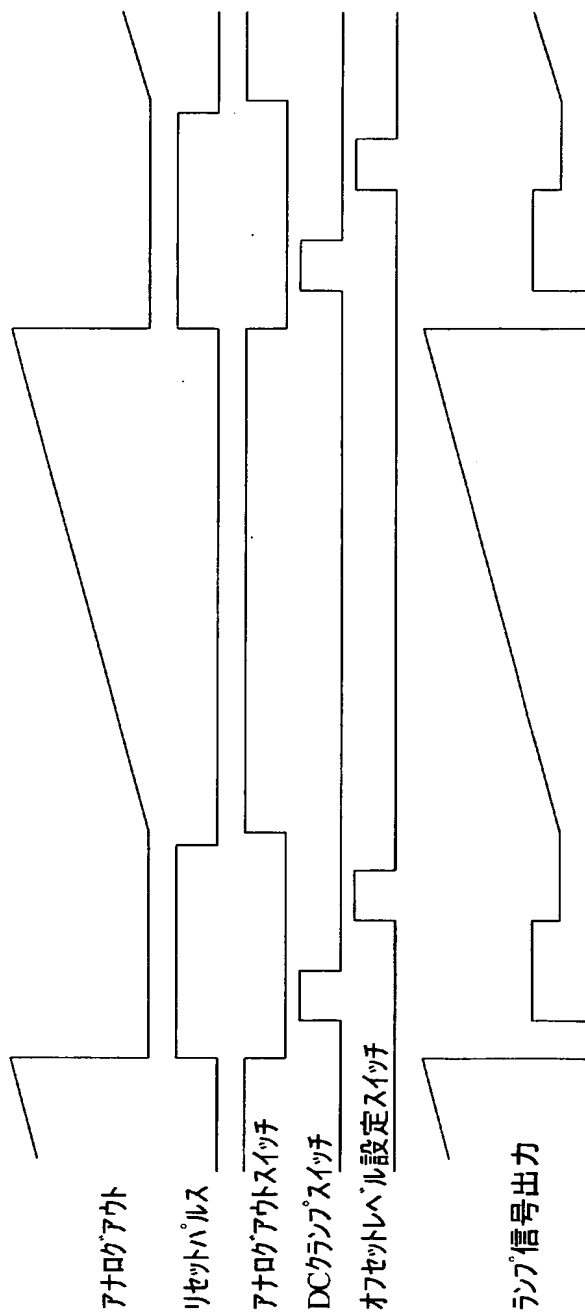
【図 13】



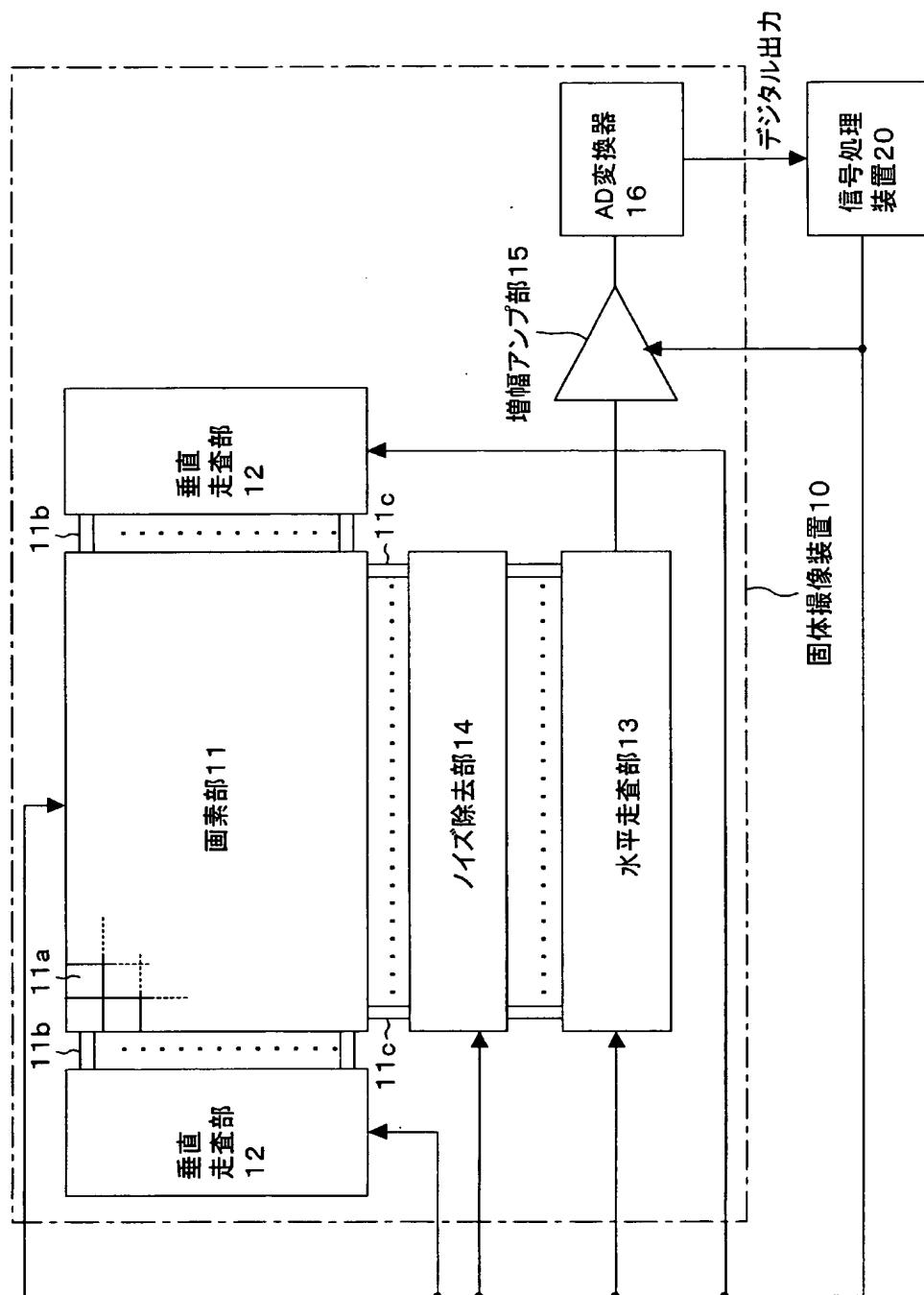
【図 14】



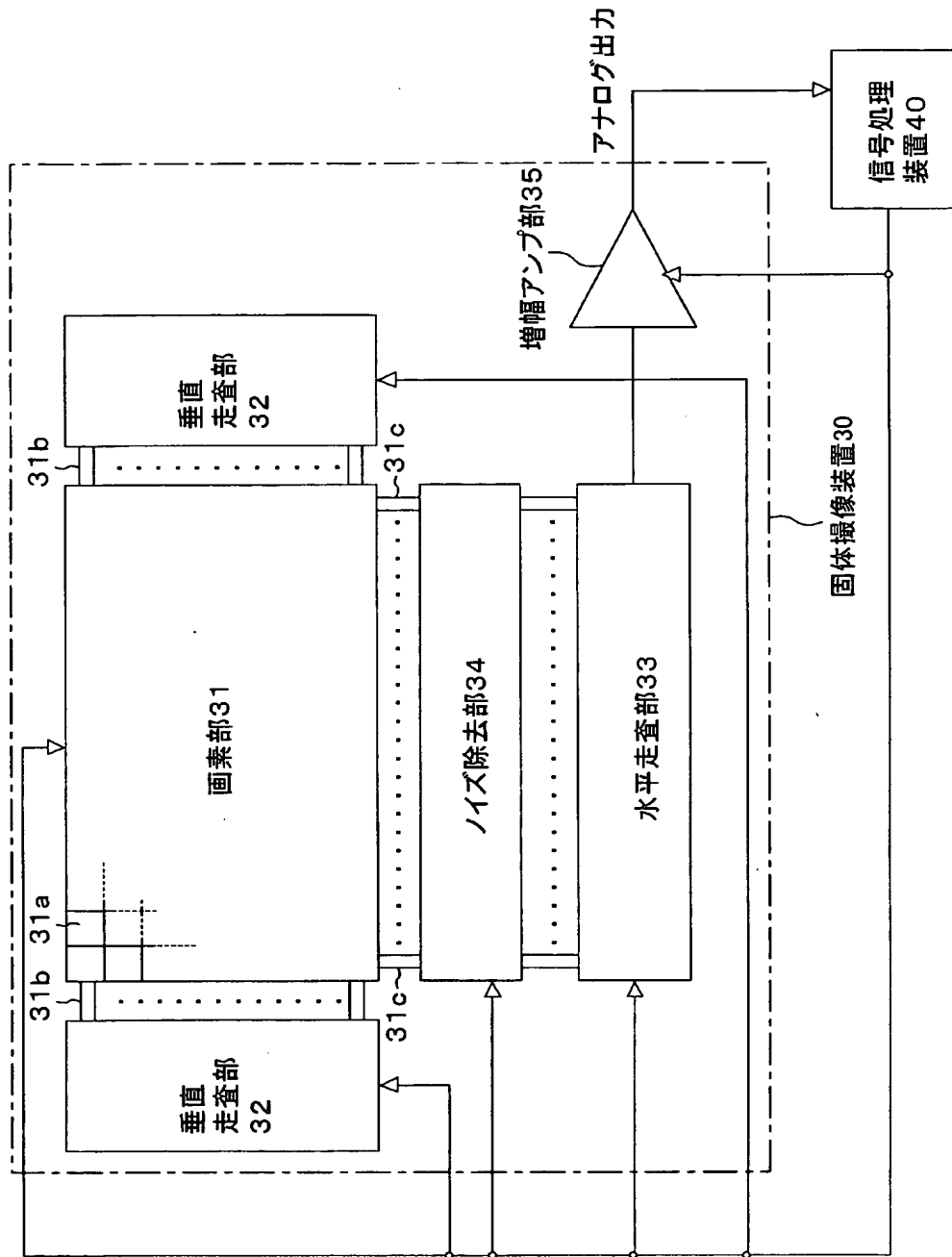
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 NMOS型固体撮像装置に、N型MOSトランジスタのみで回路構成されたAD変換器を搭載できるようにする。

【解決手段】 NMOS型固体撮像装置100は、2次元行列状に並べられた複数の画素101aから構成される画素部101と、任意の画素行を選択するための行選択信号を出力する垂直走査器102と、任意の画素列を選択するための列選択信号を出力する水平走査器103とを備えている。画素部101と水平走査器103との間に、画素部101の中から選択された画素行を構成する各画素101aにおける増幅素子から出力されたアナログ信号をデジタル信号に変換して記憶する比較器104及び記憶器105が設けられている。

【選択図】 図1

特願 2 0 0 3 - 0 2 1 3 7 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社